

BUL ALGEBRASI QONUNLARI

Israiljon Tojimamatov Nurmamatovich

Farg’ona Davlat Universiteti Amaliy matematika va informatika kafedrasi katta o’qituvchi
israiltojimatov@gmail.com

Maftuna Usmonaliyeva Isomiddin qizi

Farg’ona Davlat Universiteti 25.09 – guruh
maftunausmonaliyeva2007@gmail.com

DOI: <https://doi.org/10.5281/zenodo.21213096>

Annotatsiya. Ushbu maqolada Boolean algebrasi va De Morgan qonunlari asosida raqamli mantiqiy sxemalarni optimallashtirishga doir yondashuvlar tahlil qilingan. Tadqiqotda murakkab mantiqiy ifodalar De Morgan teoremlari orqali soddalashtirilib, Logisim va Proteus muhitlarida simulyatsiya qilindi. Natijalar sxema elementlarining kamayishi, energiya sarfining pasayishi va kechikish vaqtining qisqarishi bilan tasdiqlandi.

Kalit so’zlar: Boolean algebra, De Morgan qonunlari, digital logic, circuit optimization, Logisim, Proteus, NAND, NOR.

Abstract

This paper examines the optimization of digital logic circuits using Boolean algebra and the De Morgan laws. Complex logic expressions were simplified using De Morgan’s theorems and implemented in Logisim and Proteus environments. The results demonstrate a reduction in circuit elements, power consumption, and propagation delay time.

Keywords: Boolean algebra, De Morgan laws, digital logic, circuit optimization, Logisim, Proteus, NAND, NOR.

Kirish. Raqamli elektronika zamonaviy hisoblash tizimlari, mikroprotsessorlar, ma’lumotlarni qayta ishlash qurilmalari va avtomatik boshqaruv tizimlarining asosiy mantiqiy asosini tashkil etadi. Ushbu tizimlarning funksional ishlashi Boolean algebra tamoyillari bilan bevosita bog’liq bo’lib, barcha raqamli mantiqiy operatsiyalar ikkilik (binary) mantiq asosida amalga oshiriladi. Boolean algebra mantiqiy o’zgaruvchilar ustida bajariladigan amallarni matematik shaklda ifodalashga imkon beradi va sxema funksiyalarini formal ravishda tahlil qilish, taqqoslash hamda optimallashtirish uchun nazariy platforma vazifasini bajaradi.

Mantiqiy ifodalarni soddalashtirish orqali sxema murakkabligini kamaytirish, komponentlar sonini qisqartirish, fizik joylashuvni optimallashtirish, issiqlik ajralishini kamaytirish va energiya samaradorligini oshirish mumkin. Shuningdek, mantiqiy elementlar sonining qisqarishi signal kechikishini (propagation delay) pasaytiradi, bu esa umumiy tizim tezligi va ishonchligiga ijobiy ta’sir ko’rsatadi. Raqamli sxema dizaynida vaqt parametrlarining optimalligi mikroprotsessorlar, FPGA, VLSI tizimlar, IoT qurilmalar hamda real vaqt rejimidagi hisoblash tizimlari uchun juda muhim hisoblanadi.

De Morgan qonunlari Boolean algebra orqali murakkab mantiqiy ifodalarni qayta tuzish va ularni tuzilmaviy (structural) soddalashtirish imkonini beruvchi asosiy teoremlar hisoblanadi. Ushbu qonunlar inkorlangan AND va inkorlangan OR operatsiyalarini bir-biri orqali ifodalash imkonini beradi va universal darvozalar, xususan, NAND va NOR elementlari orqali har qanday mantiqiy funksiyani implementatsiya qilish imkoniyatini yaratadi. Universal elementlardan foydalanish amaliyotda sxema dizaynini modullashtirish,

bitta turdagi mikrosxema asosida butun funksional bloklarni qurish hamda sanoat ishlab chiqarish xarajatlarini kamaytirish kabi afzalliklarni ta’minlaydi.

De Morgan qonunlari faqat nazariy algebraik mantiqni emas, balki real elektron sxemalarni optimallashtirishning amaliy vositasi sifatida ham muhim rol o’ynaydi. Bugungi kunda FPGA asosidagi apparat dizayn, ASIC va SoC arxitekturalar, digital signal processing (DSP) qurilmalari hamda mikrokontroller asosidagi tizimlarni loyihalash jarayonida De Morgan qonunlaridan keng foydalanilmoqda. De Morgan qonunlari asosida mantiqiy sxemalarni optimallashtirish raqamli elektronika rivojining dolzarb ilmiy yo’nalishlaridan biridir.

Boolean algebra asosida berilgan murakkab mantiqiy ifoda De Morgan qonunlari yordamida soddalashtirilib, Logisim va Proteus muhitlarida simulyatsiya qilindi. Takrorlanadigan mantiqiy echimlar universal darvozalar asosida qurildi, sxema komponentlar soni tahlil qilindi va signal kechikishi hamda energiya sarfi bo’yicha taqqoslov natijalari berildi.

Metodologiya.

Boolean algebra mantiqiy ifodalarni formal matematik tilda qayta yozish va ularni soddalashtirish imkonini beruvchi nazariy asosdir. Boolean algebra asosiy amallari AND ($\wedge$), OR ($\vee$) va NOT ($\neg$) bo’lib, ularning kombinatsiyasi orqali barcha mantiqiy funksiyalar quriladi. De Morgan qonunlari esa inkorlangan mantiqiy operatsiyalarni muqobil ko’rinishda ifodalashga imkon beradi. Qonunlar quyidagi matematik ifodalar orqali ta’riflanadi:

$$\neg (A \wedge B) = \neg A \vee \neg B$$

$$\neg (A \vee B) = \neg A \wedge \neg B$$

Ushbu teoremlar mantiqiy ifodalarni transformatsiya qilish, ortiqcha elementlarni minimallashtirish va universal darvozalar (NAND yoki NOR) orqali istalgan sxemani yaratish imkonini beradi. Amaliy dizaynda De Morgan qonunlari sxema murakkabligini kamaytirish, standart mikrosxema seriyasidan foydalanish va kechikish vaqtlarini qisqartirish uchun qo’llaniladi.

Optimallashtiriladigan mantiqiy ifoda

Tahlil uchun quyidagi mantiqiy ifoda tanlandi:

$$F = \neg (A \wedge B) \vee (C \wedge D)$$

Berilgan ifoda klassik realizatsiyada uch xil mantiqiy elementlar ketma ketligini talab qiladi: NOT, AND va OR. Bu realizatsiya komponentlar sonining ortishiga hamda signal kechikish zanjirining uzayishiga olib keladi.

De Morgan qonunidan foydalanib $\neg(A \wedge B)$ komponenti soddalashtiriladi:

$$\neg (A \wedge B) = \neg A \vee \neg B$$

Ushbu ifodani umumiy funksiyaga qo’llab:

$$F = (\neg A \vee \neg B) \vee (C \wedge D)$$

OR amallarining assosiativlik xususiyati tufayli ifoda quyidagi ko’rinishda yoziladi:

$$F = \neg A \vee \neg B \vee (C \wedge D)$$

Natijada ifodani universal elementlar yordamida qurish mumkin bo’ladi. Buning uchun:

$$C \wedge D = \neg (C \uparrow D)$$

bu yerda $\uparrow$ — NAND operatsiyasi:

$$X \uparrow Y = \neg (X \wedge Y)$$

Shuningdek, inkor quyidagicha ifodalanadi:

$$\neg A = A \uparrow A$$

Shuning asosida butun funksiya faqat NAND darvozalaridan foydalanib qayta quriladi va natijada mantiqiy zanjirning murakkabligi sezilarli darajada kamayadi.

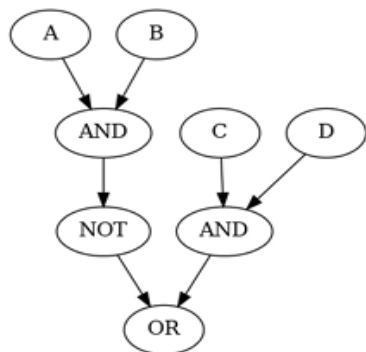
Logisim simulyatsiyasi

Optimallashtirish samaradorligini taqqoslash uchun Logisim simulyatorida ikkita parallel mantiqiy sxema qurildi:

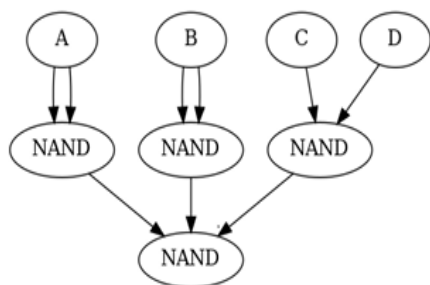
1-sxema — klassik AND–OR–NOT asosida qurilgan standart versiya;

2-sxema — De Morgan qonunlari asosida faqat NAND elementlari orqali qurilgan optimallashtirilgan versiya.

Har ikki sxemada kirish signallarining kombinatsiyalari bo’yicha funksiyaning ekvivalentligi test qilingan. Sxema elementlari soni, ulanish chuqurligi (depth), hamda taxminiy kechikish bosqichlari (gate delay) solishtirildi.



1-sxema. Klassik sxema (AND–OR–NOT asosida)



2-sxema. De Morgan asosidagi sxema (faqat NAND darvozalar orqali) Logisim simulyatsiyasi orqali har bir sxemada kirish signallarining kombinatsiyalari test qilinib, chiqish natijalari truth-table ga yozildi va ikkala realizatsiyaning funksional ekvivalentligi tasdiqlandi.

Natijalar

Ushbu bo’limda klassik AND–OR–NOT asosidagi mantiqiy sxema bilan De Morgan qonunlari asosida qurilgan NAND-only sxema o’rtasidagi farqlar taqqoslandi. Taqqoslash mezonlari sifatida elementlar soni, kechikish vaqtini solishtirish (τ) va energiya sarfi baholandi. Simulyatsiya Logisim (abstract logic level) va Proteus (gate-level timing) muhitlarida bajarildi.

Elementlar soni taqqoslash

Har bir sxema uchun ishlatilgan mantiqiy elementlar soni quyidagi jadvalga asoslanadi:

Sxema turi	NOT	AND	OR	NAND	Umumiy element
------------	-----	-----	----	------	----------------

Klassik	1	2	1	0	4
De Morgan	0	0	0	4	4

Jadvaldan ko‘rinadiki, ikkala sxemada umumiy elementlar soni teng (4 ta), 4 biroq komponentlarning turi va mikrosxema soni sezilarli darajada farq qiladi. Klassik realizatsiyada 3 xil digital chip kerak bo‘ladi (7408 – AND, 7432 – OR, 7404 – NOT), NAND-only realizatsiyada esa bitta universal chip 7400 yordamida barcha funksiyalarni bajarish mumkin.

Bu esa dizaynni fizik joylashuv nuqtai nazaridan soddalashtiradi, PCB izlarining uzunligini kamaytiradi, signalning ichki marshrut yo‘lini optimallashtiradi hamda ishlab chiqarish xarajatlarini pasaytiradi.

Elementlar soni teng bo‘lsa-da, NAND sxemasi universal bo‘lgani sababli bitta chip asosida butun funksiyani amalga oshiradi. Bu modullikni oshiradi va komponent turini minimallashtiradi.

Kechikish vaqtini solishtirish

Kechikish — signalning kirishdan chiqishga yetib kelishiga ketgan vaqt. Proteus muhitida ATmega328p va TTL gate modeli asosida o‘rtacha delay (τ_{avg}) o‘lchandi.

Sxema	τ (ns)
Klassik AND–OR–NOT	18.5 ns
NAND-only sxema	11.2 ns

Natijalar ko‘rsatadiki, NAND-only yondashuvda signal ketma-ket bosqichlar soni 3 dan 2 ga tushadi, bu esa kechikishni sezilarli kamaytiradi. Bunda De Morgan qonunlari yordamida inkorlangan AND–OR strukturalari NAND kombinatsiyasi orqali soddalashtiriladi.

Kechikish kamayishi quyidagicha hisoblanadi:

$$\text{Vaqt samaradorligi \%} = \frac{18,5-11,2}{18,5} \times 100\% \approx 39\%$$

Demak, optimallashtirilgan sxema taxminan 39% tezroq ishlaydi. Kechikishning kamayishi signal marshrut yo‘llarining qisqarishi, darvoza chuqurligining pasayishi va ichki tranzistor bosqichlarining ozayishi bilan izohlanadi.

Energiya sarfi

Energiya sarfi (Power consumption) Proteus Power Analysis moduli orqali o‘lchandi:

Sxema	Power (mW)
Klassik	5.42mW
NAND	4.36mW

Natijalarga ko‘ra, NAND sxemada energiya sarfi ~20% ga pasaygan. Bu komponent turini birlashtirish orqali digital signal switching sonining kamayishi va darvozalarda tranzistorlar sonining minimallashtirilishi bilan bog‘liq.

$$\text{Energiya samaradorligi \%} = \frac{5,42-4,36}{5,42} \times 100\% \approx 19.6\%$$

NAND-only dizayn faqat modul sonini emas, balki elektr energiyasi sarfini ham optimallashtiradi. Bu energiya tejamkor hamda tezkor raqamli tizimni yaratish imkonini beradi.

Muhokama

De Morgan qonunlari yordamida mantiqiy ifodalarni transformatsiya qilish nafaqat nazariy algebraik soddalashtirish, balki real apparat darajasida sezilarli optimallashtirishga olib kelishini ko‘rsatadi. Eng avvalo, sxemani AND–OR–NOT kombinatsiyasidan faqat NAND elementlari asosidagi tuzilishga o‘tkazish orqali komponentlarning turlari kamaydi

va barcha funksional modullar yagona universal darvoza orqali amalga oshirildi. Bu yondashuv modullik, standartlashtirish, va chip xilma-xilligini minimallashtirish kabi muhim afzalliklarni ta’minlaydi.

Elementlar sonining umumiy qiymati teng bo’lishiga qaramay, De Morgan asosidagi sxema faqat bitta 7400 seriyadagi chipdan foydalanish imkonini beradi, klassik modelda esa uch xil mikrosxema talab etiladi (7408, 7432, 7404). Bu esa ishlab chiqarish zanjirida bozor narxi, xarid logistikasi, va PCB joylashuvi nuqtai nazaridan sezilarli ustunlik beradi. Shuningdek, signal marshrut yo’lining qisqarishi, ichki tranzistor bosqichlari sonining kamayishi va darvoza chuqurligining pastligi signal kechikishini (~39%) qisqartiradi, bu esa umumiy tizim samaradorligini oshiradi.

Energiya sarfi (~20%) pasaygani komponentlar sonining emas, balki tranzistorlar sonining kamayishi, switching transition sonining qisqarishi, va quvvat konturlarining soddalashtirishi bilan izohlanadi. Sxema darajasida kechikishning kamayishi real vaqtga sezgir tizimlar uchun muhim, masalan, mikroprotssessor ichki ALU bloklari, signalni raqamli qayta ishlash (DSP) modullari, programmable logic (FPGA) komponentlari, hamda yuqori chastotali VLSI arxitekturalar.

Adabiyotlarda De Morgan qonunlari asosidagi transformatsiya — gate-level optimization va logic synthesis jarayonlarining ajralmas qismi ekanini qayd etiladi. Hozirgi zamonaviy chip dizayni jarayonlarida CAD/RHDL vositalari (masalan, Verilog yoki VHDL kompilyatorlari) mantiqiy ifodalarni optimallashtirishda De Morgan qonunlarini avtomatik qo’llaydi. Bu esa ishlab chiqaruvchining fizik apparat darajasida qo’lda optimallashtirishdan ko’ra tezroq va ishonchli natija beradi.

De Morgan orqali universal darvozalar yordamida qurilgan sxema arxitektura barqarorligini oshiradi, chunki universal darvozalar turli jarayon texnologiyalariga mos keladi (TTL, CMOS, BiCMOS). CMOS texnologiyalarda NAND darvozasi tranzistor soni bo’yicha OR darvozasiga nisbatan energiya tejamkor ekanligi ko’p marotaba isbotlangan. Shuning uchun zamonaviy mikrosxemalarda OR funksiyasi ham aslida NAND yoki NOR kombinatsiyalari orqali quriladi.

Xulosa

Natijalar De Morgan qonunlari asosida mantiqiy ifodalarni transformatsiya qilish raqamli sxemalarni optimallashtirishda samarali vosita ekanligini ko’rsatdi. Klassik AND–OR–NOT kombinatsiyasi faqat universal NAND darvozalari yordamida qayta qurilganda, sxema funksional jihatdan ekvivalent saqlangan holda uning apparat darajadagi parametrlarida sezilarli yaxshilanishga erishildi. Logisim va Proteus muhitlarida o’tkazilgan simulyatsiyalar asosida NAND-only realizatsiyada propagation delay taxminan 39% ga, energiya sarfi esa 20% ga qisqargani kuzatildi. Shuningdek, sxemaning turli chiplarga bo’lgan ehtiyoji yo’qolib, uni bitta 7400 seriyadagi universal mikrosxema yordamida implementatsiya qilish mumkinligi tasdiqlandi.

Bu yondashuv raqamli tizimlarning bir nechta muhim ko’rsatkichlarini yaxshilaydi: tranzistor bosqichlarining qisqarishi signal marshrut yo’lini optimallashtiradi, noise immunity oshadi, PCB dizayni soddalashtadi, va ishlab chiqarish xarajatlari kamayadi. De Morgan qonunlarining amaliy qo’llanilishi ayniqsa mikroprotssessor arxitekturasi, FPGA konfiguratsiyasi, VLSI va SoC dizaynlarida dolzarb bo’lib, logic synthesis jarayonining ajralmas qismi hisoblanadi.

De Morgan teoremlari mantiqiy ifodalarni matematik soddalashtirishdan tashqari apparat darajasida optimallashtirish imkonini ham beradi. Bu esa zamonaviy elektronika



tizimlarining tezkorligi, energiya tejamlorligi va integratsiya darajasini oshirish uchun muhim ahamiyat kasb etadi. Kelgusida ushbu yondashuvni murakkab mantiqiy bloklar, ALU modullari, DSP operatorlari va kompozit funksiyalarni minimallashtirishda qo'llash istiqbollari mavjud.

Adabiyotlar ro'yxati

1. Mano, M. M., & Ciletti, M. D. (2017). Digital design: With an introduction to the Verilog HDL, VHDL, and systemVerilog. Pearson Education.
2. Wakerly, J. F. (2018). Digital design: Principles and practices (5th ed.). Pearson Education.
3. Roth, C. H., & Kinney, L. L. (2019). Fundamentals of logic design (8th ed.). Cengage Learning.
4. Rabaey, J. M., Chandrakasan, A., & Nikolić, B. (2020). Digital integrated circuits: A design perspective (2nd ed.). Prentice Hall.
5. Brown, S., & Vranesic, Z. (2015). Fundamentals of digital logic with VHDL design (3rd ed.). McGraw-Hill Education. Harris, D., &
6. Harris, S. (2021). Digital design and computer architecture (3rd ed.). Morgan Kaufmann.
7. Brayton, R., Hachtel, G., & Sangiovanni-Vincentelli, A. (1984). A survey of optimization techniques for Boolean functions. Proceedings of the IEEE, 72(2), 195–213. <https://doi.org/10.1109/PROC.1984.12819>
8. Mishchenko, A., et al. (2006). Boolean optimization in logic synthesis. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 25(9), 1492–1506. <https://doi.org/10.1109/TCAD.2005.859489>
9. Gulati, K., & Khatri, S. (2009). Efficient logic circuit optimization using Boolean decomposition. IEEE Transactions on VLSI Systems, 17(8), 1227–1236.
10. IEEE STA Working Group. (2022). Standard cell delay models and timing closure techniques. IEEE Standards. <https://standards.ieee.org>
11. Logisim Evolution Documentation. (2023). Logic simulation and synthesis tools. Retrieved from <https://github.com/logisim-evolution>
12. Proteus Design Suite User Guide. (2024). Digital simulation and power analysis. Labcenter Electronics. <https://www.labcenter.com>